

Docket No. 8733.542.00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: **Kyo Ho MOON** : GAU: **TBA**

SERIAL NO: **TBA** EXAMINER: **TBA**

FILED: December 26, 2001

FOR: X-RAY DETECTING DEVICE AND FABRICATION METHOD THEREOF

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS

WASHINGTON, D.C. 20231

SIR:

Full benefit of the filing date of U.S. Application Serial Number [US App No], filed [US App Dt], is claimed pursuant to the provisions of **35 U.S.C. §120**.

Full benefit of the filing date of U.S. Provisional Application Serial Number , filed , is claimed pursuant to the provisions of **35 U.S.C. §119(e)**.

Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of **35 U.S.C. §119**, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
KOREA	2000-85281	December 29, 2000

Certified copies of the corresponding Convention Application(s)

<input checked="" type="checkbox"/>	are submitted herewith
<input type="checkbox"/>	will be submitted prior to payment of the Final Fee
<input type="checkbox"/>	were filed in prior application Serial No. filed
<input type="checkbox"/>	were submitted to the International Bureau in PCT Application Number. Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
<input type="checkbox"/>	(A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
	(B) Application Serial No.(s)
<input type="checkbox"/>	are submitted herewith
<input type="checkbox"/>	will be submitted prior to payment of the Final Fee

Respectfully Submitted,

Date: December 26, 2001

LONG ALDRIDGE & NORMAN LLP

Sixth Floor
701 Pennsylvania Avenue, N.W.
Washington, D.C. 20004
Tel. (202) 624-1200
Fax. (202) 624-1298

Rebecca A. Goldman

Registration No. 41,786

J1073 U.S. PTO
10/025903
12/26/01



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

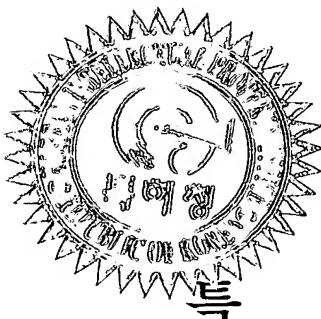
This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 특허출원 2000년 제 85281 호
Application Number PATENT-2000-0085281

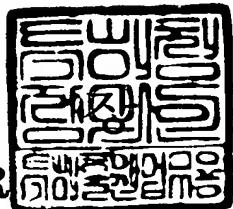
출 원 년 월 일 : 2000년 12월 29일
Date of Application DEC 29, 2000

출 원 인 : 엘지.필립스 엘시디 주식회사
Applicant(s) LG.PHILIPS LCD CO., LTD.

2001 년 08 월 25 일



특 허 청
COMMISSIONER



CERTIFIED COPY OF
PRIORITY DOCUMENT

【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0021		
【제출일자】	2000.12.29		
【발명의 명칭】	엑스 -선 검출소자의 제조방법		
【발명의 영문명칭】	Method Of Fabricating Detecting X-ray Device		
【출원인】			
【명칭】	엘지 .필립스 엘시디 주식회사		
【출원인코드】	1-1998-101865-5		
【대리인】			
【성명】	김영호		
【대리인코드】	9-1998-000083-1		
【포괄위임등록번호】	1999-001050-4		
【발명자】			
【성명의 국문표기】	문교호		
【성명의 영문표기】	MOON,Kyo-Ho		
【주민등록번호】	700309-1794011		
【우편번호】	702-250		
【주소】	대구광역시 북구 동천동 880-1 영남 2차 아파트 106동 703호		
【국적】	KR		
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 김영호 (인)		
【수수료】			
【기본출원료】	19	면	29,000 원
【가산출원료】	0	면	0 원
【우선권주장료】	0	건	0 원
【심사청구료】	0	항	0 원
【합계】	29,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

【요약서】**【요약】**

본 발명은 엑스-선 검출소자 및 그 제조방법에 관한 것이다.

본 발명에 따른 엑스-선 검출용 박막트랜지스터 기판 제조방법에 있어서, 기판상에 게이트전극과 드레인전극 및 소스전극을 가지는 박막트랜지스터를 형성하는 단계와, 상기 상기 박막트랜지스터를 덮게끔 제 1보호막을 전면 형성하는 단계와, 상기 박막트랜지스터의 드레인전극이 노출되도록 상기 제 1보호막 상에 제 1컨택홀을 형성하는 단계와, 상기 제 1보호막을 덮도록 상기 제1 보호막 상에 제 2보호막을 전면 형성하는 단계와, 상기 박막트랜지스터의 드레인전극이 노출되도록 상기 제 1컨택홀을 중심으로 상기 제 2보호막 상에 형성되는 제 2컨택홀을 형성하는 단계와, 상기 제 2컨택홀을 경유하여 상기 박막트랜지스터의 드레인전극에 접속되도록 상기 제 2보호막 상에 투명전극을 형성하는 단계를 포함한다.

본 발명에 의하면, 제 1컨택홀의 폭보다 제 2컨택홀의 폭을 넓게 하여 언더 컷현상을 방지할 수 있어 안정된 스텝 커버리지를 얻을 수 있다.

【대표도】

도 3

【명세서】

【발명의 명칭】

엑스-선 검출소자의 제조방법{Method Of Fabricating Detecting X-ray Device}

【도면의 간단한 설명】

도 1은 통상의 엑스-선 검출소자의 패널을 도시한 도면.

도 2a 내지 도 2e는 도 1에 도시된 엑스-선 검출소자의 제조방법을 단계적으로 나타내는 단면도.

도 3은 본 발명의 실시 예에 따른 엑스-선 검출소자를 도시한 단면도.

도 4a 내지 도 4e는 도 3에 도시된 엑스-선 검출소자의 제조방법을 단계적으로 나타내는 단면도.

<도면의 주요 부분에 대한 부호의 설명>

2, 52 : 글라스 기판

3, 53 : 게이트 라인

4 : 박막트랜지스터 기판

5, 55 : 화소전극

6 : 광감지층

7 : 상부 유전층

8 : 상부전극

9 : 고전압발생부

10, 60 : 데이터라인

12, 62 : 게이트전극

14, 64 : 소스전극

15, 17, 65, 67 : 컨택홀

16,66 : 드레인전극

22,72 : 스토리지전극

25,75 : 투명전극

32,82 : 게이트 절연막

34,84 : 활성층

36,86 : 질화실리콘

38,40,88,90 : 보호막

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<16> 본 발명은 엑스-선(이하 'X-선'이라 함) 검출소자의 제조방법에 관한 것으로, 특히 안정된 스텝 커버리지를 얻기 위한 X-선 검출소자의 제조방법에 관한 것이다.

<17> 피사체에 가시광이 아닌 X-선을 조사하여 이미지를 활상하는 진단용 X-선 감지장치가 의료 분야에 폭넓게 이용되고 있다. 이러한 X-선 감지장치는 X-선을 검출하기 위한 검출소자가 필요하게 된다.

<18> 일반적으로, 의료·과학·산업 분야에서는 X-선 등과 같은 비가시광선을 이용하여 피사체를 활상하는 X-선 촬영장치가 사용되고 있다. 이 X-선 촬영 장치는 피사체를 통과한 X-선을 검출하여 전기적인 신호로 변환하기 위한 X-선 검출 패널을 구비하고 있다.

<19> 도 1은 종래의 X-선 검출패널을 나타내는 평면도이다.

<20> 도 1을 참조하면, X-선이 입사되는 광감지층(6)과, 유리기판(2) 상에 형성되어 광감지층(6)으로부터 검출된 X-선을 스위칭하기 위한 박막트랜지스터(이하 'TFT'라 함) 어레이(4)를 구비하는 AMLCD가 도시되어 있다. 광감지층(6)은 수백 μm 두께의 셀레니움(Selenium)이 TFT 어레이(4) 상에 도포되어 X-선을 전기적인 신호로 변환하는 역할을 하게 된다. 광감지층(6) 상에는 유전층(7)과 상부전극(8)이 형성된다. 상부전극(8)은 고전압 발생부(9)에 접속된다. TFT 어레이(4)는 게이트라인(3)을 경유하여 입력되는 제어신호에 응답하여 스토리지 캐패시터(Cst)에 충전된 전압신호를 데이터 재생부(도시하지 않음)에 전송하게 된다. 스토리지 캐패시터(Cst)는 TFT의 소오스전극과 기저전압원(GND) 사이에 접속되어 광감지층(6)으로부터 공급되는 신호를 충전하는 역할을 하게 된다.

<21> TFT는 게이트라인(3)을 통해 입력되는 게이트신호에 응답하여 충전 캐패시터(Cst)에 충전된 전압을 데이터라인(10)에 공급하게 된다. 이렇게 데이터라인에 공급된 화소신호들은 데이터재생부를 통해 표시장치로 공급되어 화상을 표시하게 된다.

<22> 도 2a 내지 도 2e는 도 1에 도시된 검출소자의 제조방법을 단계적으로 도시한 것으로서, 특히 박막트랜지스터부와 스토리지 캐패시터부만을 도시한 것이다.

<23> 도 2a를 참조하면, 먼저 글라스 기판(2) 위에 증착공정을 이용하여 금속막을 형성한 후, 마스크 패턴을 이용하여 패터닝함으로써 게이트전극(12)을 형성하게 된다. 이 경우, 게이트전극(12)은 알루미늄(Al)과 몰리브덴(Mo) 금속이 순차적으로 적층된 구조를 가지게 된다.

<24> 도 2b를 참조하면, 게이트전극(12)이 형성된 글라스 기판(2)의 전면에 연속적인 증착공정을 이용하여 게이트절연막(32)과 비정질실리콘(a-Si)층 및 불순물이 도핑된 비정질 실리콘(n+)층을 순차적으로 형성하게 된다. 이 때, 게이트절연막(32)은 질화실리콘(SiNx)을 이용하여 4000Å정도의 두께로 형성된다. 그런 다음, 마스크 패턴을 이용하여 n+층과 a-Si층을 패터닝함으로써 TFT의 채널을 형성하는 활성층(34)을 형성하게 된다. 크롬(Cr)을 형성하고 마스크 패턴을 이용하여 패터닝함으로써 소스 전극(14)과 드레인전극(16)과 스토리지전극(22)을 형성하게 된다.

<25> 도 2c를 참조하면, 소스 전극(14)과 드레인전극(16)과 스토리지전극(22)을 형성된 글라스 기판상에 제 1보호막(38)인 질화실리콘(SiNx)을 전면 도포하게 된다. 연속하여 기생용량을 줄이기 위한 저유전율의 유기절연막인 제 2보호막(40)을 형성한다.

<26> 도 2d를 참조하면, 제 1 및 제 2보호막(38,40)을 형성한 후 마스크패턴을 이용하여 패터닝함으로써 TFT 및 화소부의 영역에서 드레인전극(16)과 이후에 형성될 투명전극(25)과의 접촉을 하기 위한 제 1컨택홀(15), 스토리지전극(22)과 투명전극(25)과의 접촉을 하기 위한 제 2컨택홀(17)을 형성하게 된다. 여기서, 제 1 및 제 2컨택홀(15,17)은 제 1 및 제 2보호막(38,40)을 경유하여 형성된다.

<27> 도 2e를 참조하면, 제 1 및 제 2보호막(38,40)이 형성된 후 투명전극 물질을 전면 도포한 후 마스크 패턴을 이용하여 패터닝함으로써 투명전극(25)을 형성하게 된다. 투명전극(25)은 드레인전극(16)과 스토리지전극(22)상에 형성된 제

1 및 제 2컨택홀(15,17)에 의해 상호 접속되도록 한다. 그런 다음, 투명전극(25)이 형성된 제 1및 제 2보호층(38,40)상에 질화실리콘(36)을 증착한후, 투명전극 물질을 전면 도포한 후 마스크 패턴을 이용하여 패터닝하므로써 화소전극(5)을 형성하게 된다.

<28> 화소전극(5)이 형성된 후 마스크 패턴을 이용하여 게이트패드와 데이터패드의 컨택홀을 통해 노출된 몰리브덴층을 패터닝하여 알루미늄층이 노출되게 한다. 이는 게이트 패드와 데이터패드를 구동 IC칩과 접착강도가 큰 알루미늄(Al) 와이어 본딩(Wire bonding)으로 접속시키기 위하여 알루미늄 구조로 가져가기 위한 것이다.

<29> 그러나, 종래 기술의 X-선 검출소자의 제조방법은 한 번의 건식 식각을 이용하여 TFT와 스토리지 캐패시터영역에 형성된 제 1 및 제 2보호막을 순차적으로 식각할 때 제 1보호막인 질화실리콘(SiNx)의 식각율이 제 2보호막인 유기절연막의 식각율보다 빨라서 제 2보호막인 유기절연막밑으로 질화실리콘이 에칭되어 측면식각(under cut)현상이 발생된다. 이러한 측면식각현상때문에 보호막상부에 증착되는 투명전극의 스텝 커버리지가 불량하여 단차부에서 단선불량이 발생할 수 있다.

【발명이 이루고자 하는 기술적 과제】

<30> 따라서, 본 발명의 목적은 보호층인 질화실리콘층과 유기절연막층을 통한 콘택홀 형성시 질화실리콘층의 과식각에 의한 불량을 방지하기 위한 엑스-선 검출소자의 제조방법을 제공하는 데 있다.

【발명의 구성 및 작용】

<31> 상기 목적을 달성하기 위하여, 본 발명에 따른 엑스-선 검출용 박막트랜지스터 기판 제조방법에 있어서, 기판상에 게이트전극과 드레인전극 및 소스전극을 가지는 박막트랜지스터를 형성하는 단계와, 상기 박막트랜지스터를 덮게끔 제 1보호막을 전면 형성하는 단계와, 상기 박막트랜지스터의 드레인전극이 노출되도록 상기 제 1보호막 상에 제 1컨택홀을 형성하는 단계와, 상기 제 1보호막을 덮도록 상기 제 1보호막 상에 제 2보호막을 전면 형성하는 단계와, 상기 박막트랜지스터의 드레인전극이 노출되도록 상기 제 1컨택홀을 중심으로 상기 제 2보호막 상에 형성되는 제 2컨택홀을 형성하는 단계와, 상기 제 2컨택홀을 경유하여 상기 박막트랜지스터의 드레인전극에 접속되도록 상기 제 2보호막 상에 투명전극을 형성하는 단계를 포함한다.

<32> 상기 목적을 달성하기 위하여 본 발명의 엑스-선 검출용 스토리지 캐패시터 제조방법에 있어서, 기판상에 스토리지전극을 가지는 스토리지 캐패시터를 형성하는 단계와, 상기 스토리지전극부를 덮게끔 제 1보호막을 전면 형성하는 단계와, 상기 스토리지캐패시터의 스토리지전극이 노출되도록 상기 제 1보호막

상에 제 1컨택홀을 형성하는 단계와, 상기 제 1보호막을 덮도록 상기 제1 보호막 상에 제 2보호막을 전면 형성하는 단계와, 상기 스토리지캐패시터의 스토리지전극이 노출되도록 상기 제 1컨택홀을 중심으로 상기 제 2보호막 상에 형성되는 제 2컨택홀을 형성하는 단계와, 상기 제 2컨택홀을 경유하여 상기 스토리지 캐패시터의 스토리지전극에 접속되도록 상기 제 2보호막 상에 투명전극을 형성하는 단계를 포함한다.

- <33> 상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.
- <34> 이하 도 3 내지 도 4e를 참조하여 본 발명의 바람직한 실시 예에 대하여 설명하기로 한다.
- <35> 도 3은 본 발명의 실시 예에 따른 X-선 검출소자를 도시한 단면도로서, 특히 TFT와 스토리지 캐패시터영역만을 도시한 단면도이다.
- <36> 도 3을 참조하면, 본 발명의 X-선 검출소자는 종래의 X-선 검출소자와 대비하여 제 1 보호막을 먼저 식각하여 제 1컨택홀을 형성한 후 제 2보호막을 증착하고서 식각하여 제 2컨택홀을 형성한다. 그러므로, 제 2컨택홀의 폭이 제 1컨택홀의 폭보다 좁아야 한다.
- <37> 도 4a 내지 도 4e는 본 발명의 실시 예에 따른 X-선 검출소자의 제조방법을 단계적으로 도시한 것으로서, 특히 박막트랜지스터부와 스토리지 캐패시터부만을 도시한 것이다.

<38> 도 4a를 참조하면, 먼저 글라스 기판(52) 위에 증착공정을 이용하여 금속막을 형성한 후, 마스크 패턴을 이용하여 패터닝함으로써 게이트전극(62)을 형성하게 된다. 이 경우, 게이트전극(68)은 알루미늄(Al)과 몰리브덴(Mo) 금속이 순차적으로 적층된 구조를 가지게 된다.

<39> 도 4b를 참조하면, 게이트전극(62) 등이 형성된 글라스 기판(52)의 전면에 연속적인 증착공정을 이용하여 게이트절연막(82)과 비정질실리콘(a-Si)층 및 불순물이 도핑된 비정질 실리콘(n+)층을 순차적으로 형성하게 된다. 이 때, 게이트절연막(82)은 질화실리콘(SiNx)을 이용하여 4000Å 정도의 두께로 형성된다. 그런 다음, 마스크 패턴을 이용하여 n+층과 a-Si층을 패터닝함으로써 TFT의 채널을 형성하는 반도체층(84)을 형성하게 된다. 크롬(Cr)을 형성하고 마스크 패턴을 이용하여 패터닝함으로써 소스 전극(64)과 드레인전극(66)과 스토리지전극(72)을 형성하게 된다.

<40> 도 4c를 참조하면, 소스 전극(64)과 드레인전극(66)과 스토리지전극(72)을 형성된 글라스 기판상에 제 1보호막(88)인 질화실리콘(SiNx)을 전면 도포한 후, 마스크패턴을 이용하여 패터닝하므로써 TFT 및 화소부의 영역에서 드레인전극과 이후에 형성될 투명전극과의 접촉을 하며 스토리지전극과 투명전극과의 접촉을 하는 제 1컨택홀(65)을 형성한다.

<41> 도 4d를 참조하면, 제 1컨택홀(65)을 형성한 후 기생용량을 줄이기 위한 저유전율의 유기절연막인 제 2보호막(90)을 전면 도포한 후, 마스크패턴을 이용하여 패터닝하므로써 제 1컨택홀(65)보다 폭이 좁은 제 2컨택홀(67)을 형성한다.

<42> 도 4e를 참조하면, 제 1 및 제 2보호막(88,90)이 형성된 후 투명전극 물질을 전면 도포한 후 마스크 패턴을 이용하여 패터닝함으로써 투명전극(75)을 형성하게 된다. 투명전극(75)은 드레인전극(66)과 스토리지전극(72)상에 형성된 제2컨택홀(65,67)에 의해 상호 접속되도록 한다. 그런다음, 투명전극(75)이 형성된 제 1 및 제 2보호층(88,90)상에 질화실리콘(86)을 증착한후, 투명전극 물질을 전면 도포한 후 마스크 패턴을 이용하여 패터닝하므로써 화소전극(55)을 형성하게 된다.

<43> 화소전극(55)이 형성된 후 마스크 패턴을 이용하여 게이트패드와 데이터패드의 컨택홀을 통해 노출된 몰리브덴층을 패터닝하여 알루미늄층이 노출되게 한다. 이는 게이트 패드와 데이터패드를 구동 IC칩과 접착강도가 큰 알루미늄(Al)와이어 본딩(Wire bonding)으로 접속시키기 위하여 알루미늄 구조로 가져가기 위한 것이다.

【발명의 효과】

<44> 상술한 바와 같이, 본 발명에 따른 엑스-선 검출소자의 제조방법은 제 1 보호막을 먼저 증착한 후 식각하고 다시 제 2보호막을 증착한 후 식각하여 언더컷 현상을 방지할 수 있어 안정된 스텝 커버리지를 얻을 수 있으며 단차부의 단선불량을 방지할 수 있다.

<45> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본

1020000085281

출력 일자: 2001/8/27

발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

【특허청구범위】**【청구항 1】**

엑스-선 검출용 박막트랜지스터 기판 제조방법에 있어서,

기판상에 게이트전극과 드레인전극 및 소스전극을 가지는 박막트랜지스터

를 형성하는 단계와,

상기 상기 박막트랜지스터를 덮게끔 제 1보호막을 전면 형성하는 단계와,

상기 박막트랜지스터의 드레인전극이 노출되도록 상기 제 1보호막 상에 제 1컨택홀을 형성하는 단계와,

상기 제 1보호막을 덮도록 상기 제1 보호막 상에 제 2보호막을 전면 형성하는 단계와,

상기 박막트랜지스터의 드레인전극이 노출되도록 상기 제 1컨택홀을 중심으로 상기 제 2보호막 상에 형성되는 제 2컨택홀을 형성하는 단계와,

상기 제 2컨택홀을 경유하여 상기 박막트랜지스터의 드레인전극에 접속되도록 상기 제 2보호막 상에 투명전극을 형성하는 단계를 포함하는 것을 특징으로 하는 엑스-선 검출용 박막트랜지스터의 제조방법.

【청구항 2】

제 1항에 있어서,

상기 제 2컨택홀의 폭은 상기 제 1컨택홀의 폭보다 작은 것을 특징으로 하는 엑스-선 검출용 박막트랜지스터의 제조방법.

【청구항 3】

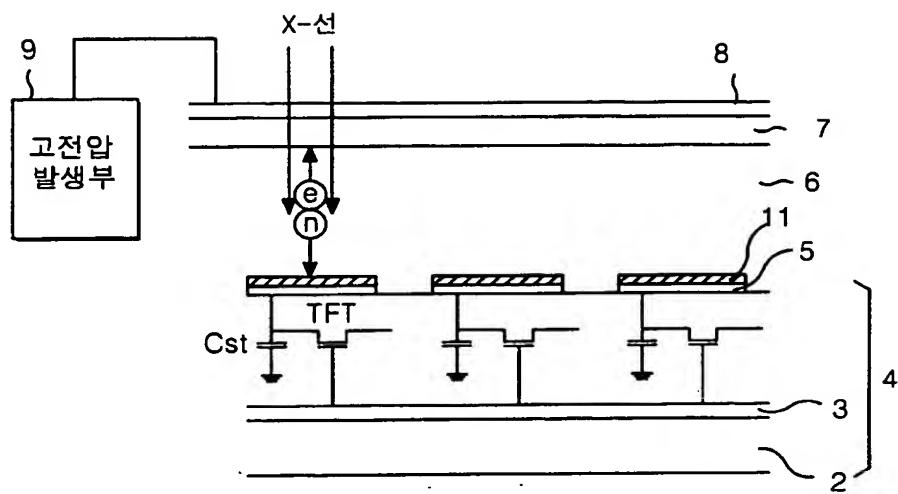
엑스-선 겸출용 스토리지 캐패시터 제조방법에 있어서,
기판상에 스토리지전극을 가지는 스토리지 캐패시터를 형성하는 단계와,
상기 스토리지전극부를 덮게끔 제 1보호막을 전면 형성하는 단계와,
상기 스토리지캐패시터의 스토리지전극이 노출되도록 상기 제 1보호막 상
에 제 1컨택홀을 형성하는 단계와,
상기 제 1보호막을 덮도록 상기 제1 보호막 상에 제 2보호막을 전면 형성하
는 단계와,
상기 스토리지캐패시터의 스토리지전극이 노출되도록 상기 제 1컨택홀을
중심으로 상기 제 2보호막 상에 형성되는 제 2컨택홀을 형성하는 단계와,
상기 제 2컨택홀을 경유하여 상기 스토리지 캐패시터의 스토리지전극에 접
속되도록 상기 제 2보호막 상에 투명전극을 형성하는 단계를 포함하는 것을 특징
으로 하는 엑스-선 겸출용 박막트랜지스터의 제조방법.

【청구항 4】

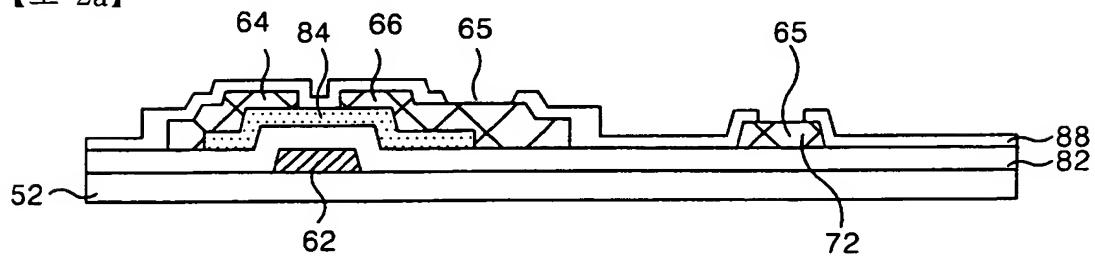
제 3항에 있어서,
상기 제 2컨택홀의 폭은 상기 제 1컨택홀의 폭보다 작은 것을 특징으로 하
는 엑스-선 겸출용 박막트랜지스터의 제조방법.

【도면】

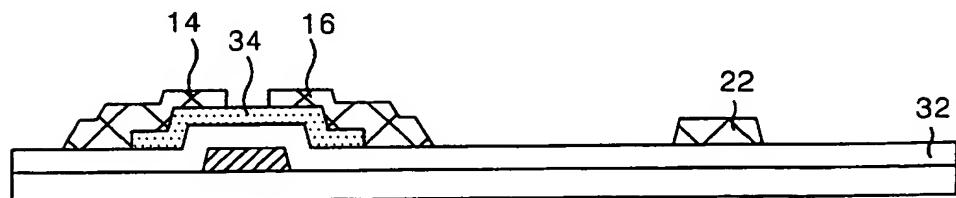
【도 1】



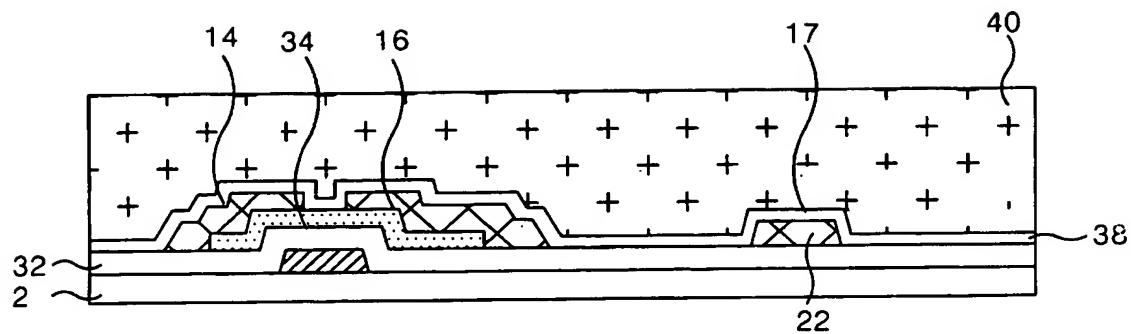
【도 2a】



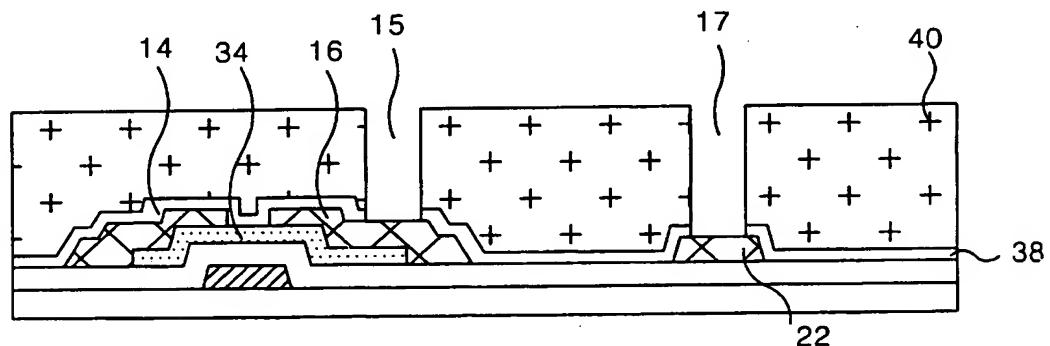
【도 2b】



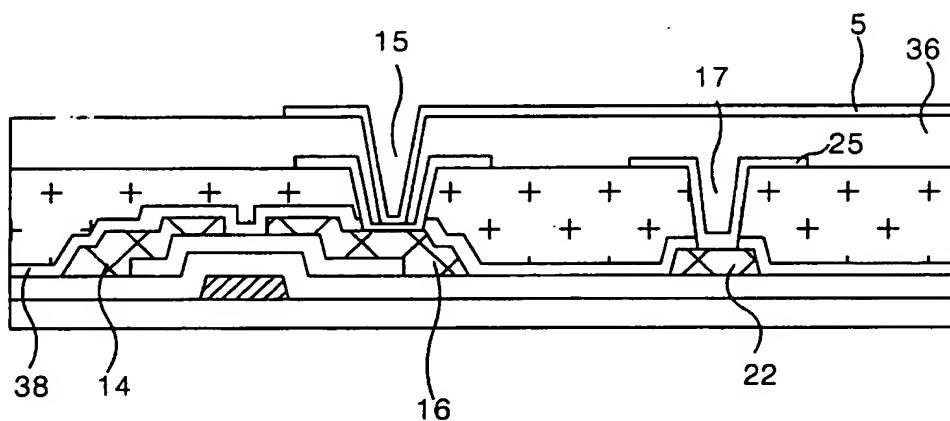
【도 2c】



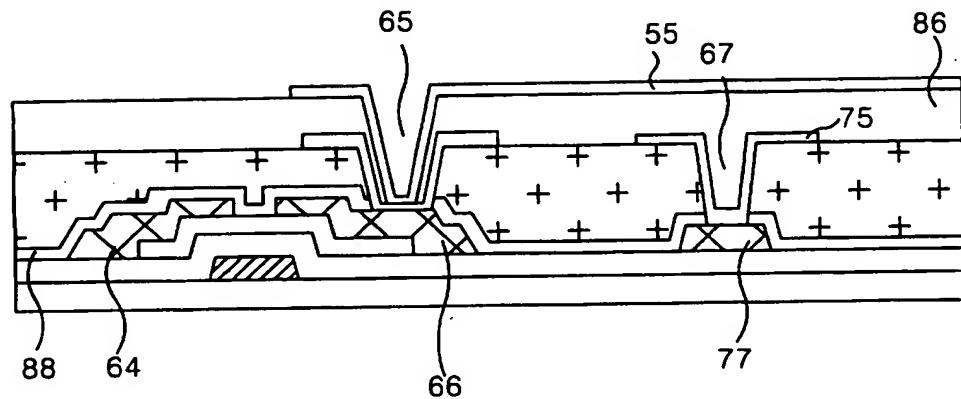
【도 2d】



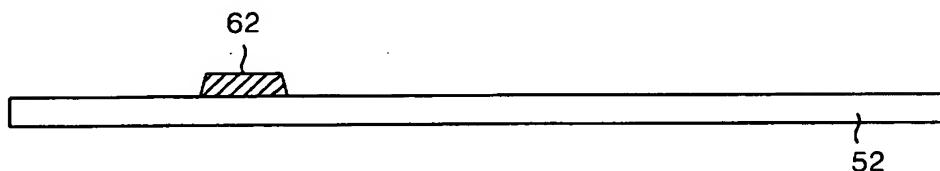
【도 2e】



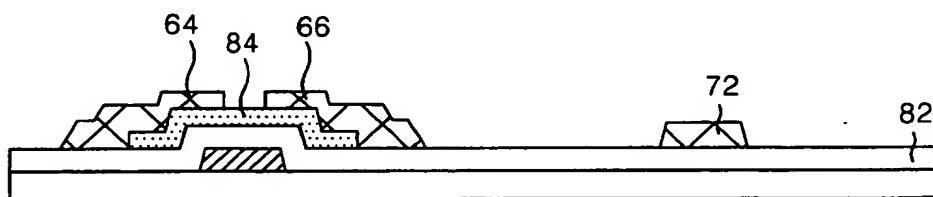
【도 3】



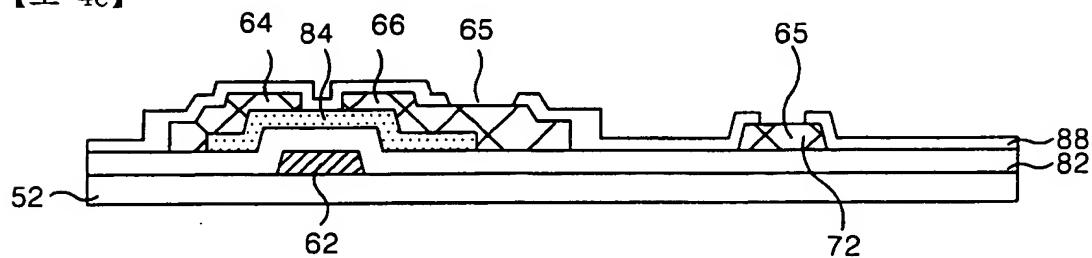
【도 4a】



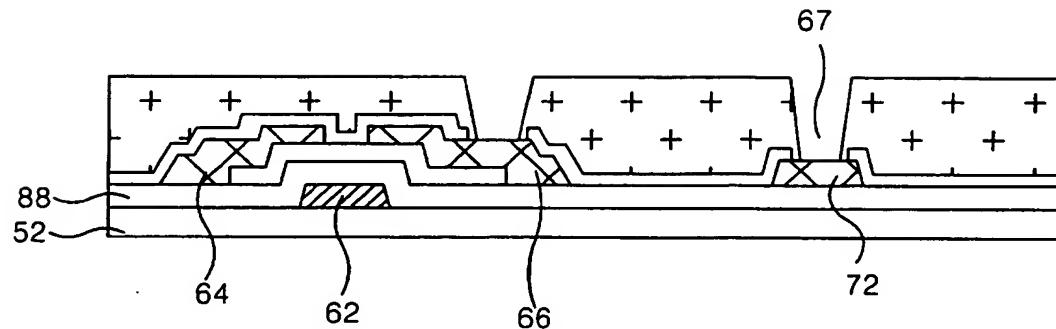
【도 4b】



【도 4c】



【도 4d】



【도 4e】

